**西安电子科技大学**

**信息物理系统实验课程 实验报告**

**实验名称 延迟值为0的 TimeDelay的使用实验**

计算机科学与技术学院 2203019 班

成 绩

姓名：方子康 学号：22009200766

同作者：无

实验日期 2023 年4月14日

|  |
| --- |
| 指导教师评语：  指导教师：  年 月 日 |
| **实验报告内容基本要求及参考格式**  一、实验目的  二、实验所用仪器（或实验环境）  三、实验基本原理及步骤（或方案设计及理论计算）  四、实验数据记录（或仿真及软件设计）  五、实验结果分析及回答问题（或测试环境及测试结果） |

一、实验目的

1. 熟悉PtolemyII模拟器

2. 理解默认转移和普通转移的概念

3. 模型中学习使用反馈回路

4. 理解CPS通过模型组合的方式将物理过程的连续动态与软件模型集成

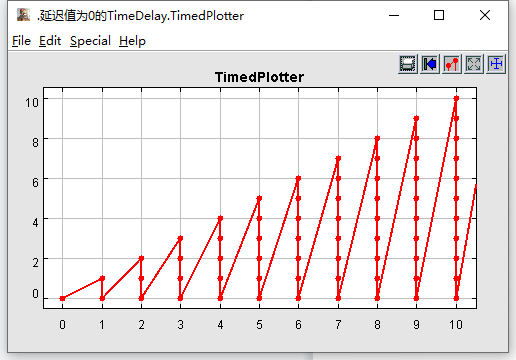
二、实验所用仪器（或实验环境）

计算机基础教学实验中心，可接入Internet网台式机130台。

使用软件：PtolemyII模拟器

三、实验基本原理及要求

使用PtolemyII模拟器，使用反馈回路在每个整数模型时间产生数目不定的事件，生成如下曲线



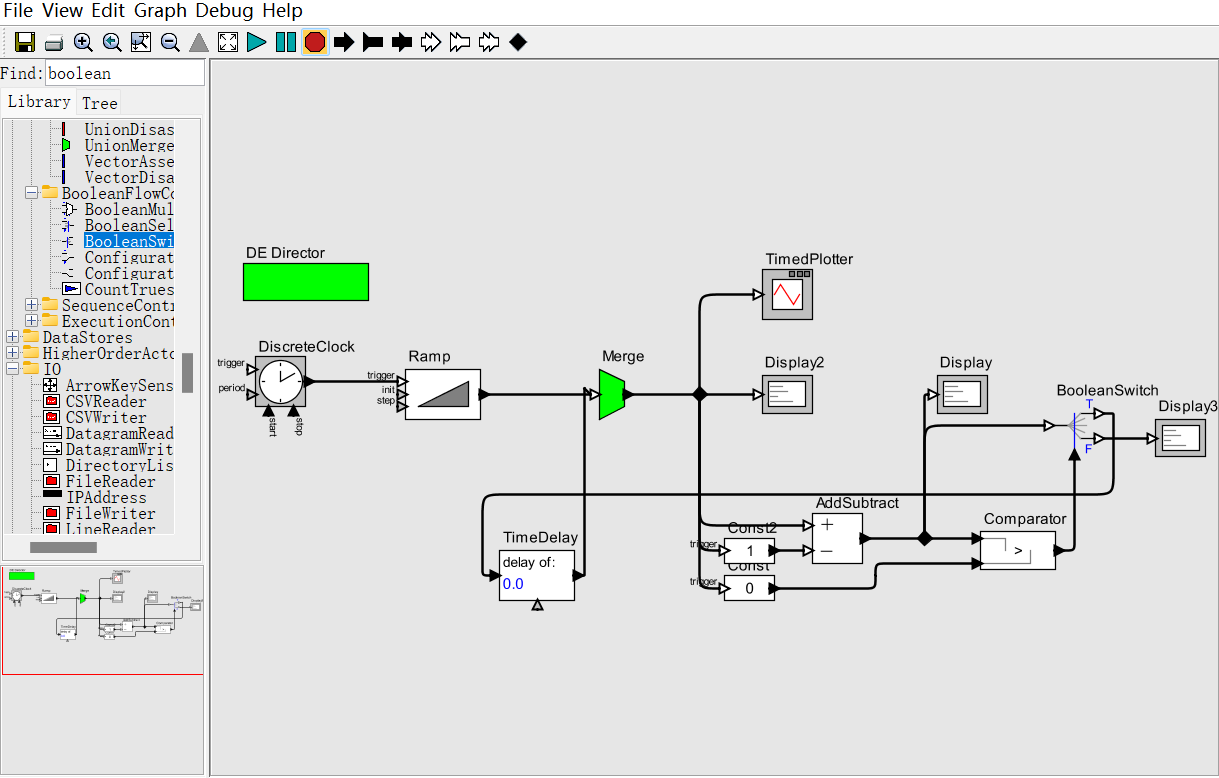
实验要求：

1. 所使用的反馈回路有一个延迟设置为0.0的TimeDelay角色。这使得反馈的事件在相同模型时间内使用递增的微步。
2. 这个模型使用BooleanSwitch反馈一个非负值的令牌，只要其值为非负的。

3.使用addsubtract、 comparator产生递减迭代效果

4.使用Merge，它按照时间戳顺序将输入通道中的所有事件合并到一个信号中。如果它接收到强并发事件，那么它要么放弃除了第一个事件之外的所有的事件(如果discard参数值为true)，要么增加事件的微步并输出（如果discard参数值为false)。

四、实验步骤及实验数据记录：（要有文字描述和必要截图）

1.首先添加DE Director指示器，使系统正常运作。

2.Discrete Clock 生成离散时间步长的信号，作为整个系统的时钟驱动。Ramp 产生递增的数字序列，作为输入信号，用于触发后续的操作。

3.Ramp 的输出信号经过 Comparator，进行条件判断：如果信号大于零，则输出为真，否则输出为假。输出为真时，Boolean Switch 开启，将信号传递到 Add Subtract。

Add Subtract 执行自减操作，每次自减1，并继续输出结果。当输出结果为负时，Comparator 输出为假，Boolean Switch 关闭，停止信号传递。

4.Time Delay 控制事件触发顺序，使用 Time Delay 组件来延迟信号的传递。在该系统中，描述中提到了一个延迟设置为0.0的 Time Delay 角色，这使得反馈的事件在相同模型时间内使用递增的微步。这可能涉及到某些反馈机制或者信号处理的特定需求。

5.Merge 合并信号，使用 Merge 将经过 Time Delay 延迟处理的事件按照时间戳顺序合并成一个信号。

6.如果 Merge 接收到强并发事件，它要么放弃除了第一个事件之外的所有事件（如果设置了 discard 参数为 true），要么增加事件的微步并输出（如果设置了 discard 参数为 false）。

最终输出信号通过 TimedPlotter 进行可视化呈现，以直观展示系统的运行结果。

